

PAT-NO: JP403089548A
DOCUMENT-IDENTIFIER: JP 03089548 A
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT
PUBN-DATE: April 15, 1991

INVENTOR-INFORMATION:

NAME

MIYAMA, MINORU

AKIYAMA, TAKEHIRO

KOBAYASHI, SATORU

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

FUJITSU VLSI LTD

COUNTRY

N/A

N/A

APPL-NO: JP01225866

APPL-DATE: August 31, 1989

INT-CL (IPC): H01L027/04

US-CL-CURRENT: 257/531

ABSTRACT:

PURPOSE: To provide a semiconductor integrated circuit having small parasitic capacitance and good performance even at a high frequency while performing a reduction in size by winding a plurality of interconnections reversely to each other on a substrate, disposing them in a multilayer state, and disposing the interconnections in a zigzag manner for upper and lower layers.

CONSTITUTION: First and second interconnections 21, 22 are wound in a square state reversely to each other on an IC substrate, formed in a multilayer, so disposed as to reduce mutual superpositions, and sufficiently integrated on the board. A spiral coil 20 obtains a large inductance with an extremely small size by means of self induction by the multilayers and reduction in parasitic capacitance by zigzag interconnection, further enhances self-resonance frequency and can be used for high frequency. Radio wave concentration of the part is reduced as much as possible by adopting 45°; layout avoiding 90°; at four corners to improve Q characteristic.

COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報(A)

平3-89548

⑬ Int. Cl.³

H 01 L 27/04

識別記号

L

庁内整理番号

9056-5F

⑭ 公開 平成3年(1991)4月15日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 平1-225866

⑰ 出 願 平1(1989)8月31日

⑱ 発 明 者 深 山 実 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエル
エスアイ株式会社内
⑱ 発 明 者 秋 山 岳 洋 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエル
エスアイ株式会社内
⑱ 発 明 者 小 林 哲 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエル
エスアイ株式会社内
⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地
⑲ 出 願 人 富 士 通 ヴ ィ エ ル エ ス ア 愛知県春日井市高蔵寺町2丁目1844番2
イ株式会社
⑳ 代 理 人 弁 理 士 井 桁 貞 一 外2名

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

半導体基板上に、所定幅を有する複数の配線を互いに逆方向に巻回するとともに、

これらの配線を巻回方向に対して多層状に配置し、

かつ各配線同士の接続はスパイラルの中心で行い、

さらに各配線はその上下層を互い違いに配置し、該上下層の電流方向が同一となるインダクタ素子を形成したことを特徴とする半導体集積回路。

3. 発明の詳細な説明

(概要)

インダクタ素子を形成する半導体集積回路に関

し、

小型化を達成しつつ所望のインダクタンスが得られて寄生容量も小さくて高周波でも性能のよいインダクタ素子となる半導体集積回路を提供することを目的とし、

半導体基板上に、所定幅を有する複数の配線を互いに逆方向に巻回するとともに、これらの配線を巻回方向に対して多層状に配置し、かつ各配線同士の接続はスパイラルの中心で行い、さらに各配線はその上下層を互い違いに配置し、該上下層の電流方向が同一となるインダクタ素子を形成するように構成する。

(産業上の利用分野)

本発明は、半導体集積回路に係り、詳しくは、スパイラルコイルを内蔵したモノリシック集積回路に関する。

モノリシックICとは、シリコンの単結晶からなる一体の石からできているICを指し、超小型回路の主流になっている。また、一般にICとは

モノリシック IC をいうことが多い。

近年、各種高周波回路の IC 化および小型化の要求に伴いモノリシック IC 内にスパイラルコイルを形成する必要がある。

〔従来の技術〕

従来の半導体集積回路、特に高周波回路においてインダクタンス素子（コイル）は基板（例えば、プリント基板若しくはハイブリッド IC 基板）上に個別部品として取り付けられるか、あるいは基板上にマイクロストリップラインやスパイラルコイルを形成するという方法で作られている。

後者の例としては、例えば特開昭 61-294850 号公報に記載のものがある。このものは、半導体基板上に設けられた上層配線と下層配線との間に配線層を介して強磁性体層を設けてトランス結合による部品を作るものであるが、強磁性体層に接した配線のどちらか一方を用いることで、インダクタンスを有するコイルにも使用できている。

コイル外形： d_0 、 (mm)

の条件で形成されているとき、インダクタンス L は次式①で決定される。

$$L = \frac{39.4 a^2 n^2}{8 a + 11 c} (nH) \dots \dots \textcircled{1}$$

$$\text{但し、} a = \frac{d_0 - d_1}{4}$$

$$c = \frac{d_0 - d_1}{2}$$

n : ターン数 ($n=5$ 程度)

ここで、 d_0 、 d_1 の単位を IC に合わせて (μm) にすると、 L は上述のように $1/1000$ 程度となる。

また、IC の配線はプリント基板やハイブリッド基板の配線に比べて非常に抵抗が高く（材質と薄膜のため）、インダクタ素子として所望のインダクタンスが得難く、そのため寄生容量も大きくて性能が悪いという問題点があった。例えば、インダクタンスを大きくしようとすると、コイル配線が長くなり、電流経路も長くなって効率が悪い。

〔発明が解決しようとする課題〕

しかしながら、このような従来の半導体集積回路においては、前者の場合は、インダクタ素子の形成が上記構成によるため、IC を使用する各種高周波回路機器の小型化に障害となるという不具合がある。

一方、後者の場合はかかる不具合は解消されるものの、IC 内にスパイラルコイルを形成する際にコイルの半径が極めて小さくなることから、前者のように個別部品として作る場合に比べインダクタンスが非常に小さく、約 $1/1000$ 程度となって所望のインダクタンスが得られず、所望の値を得るためには結局、大型化する必要があり、例えば高周波部品として通するような極超小型のコイルが IC 内に実際上はできないという問題点があった。

具体的には、第 5 図に示すようにスパイラルコイル 1 が、

ストリップ幅： W 、

コイル内径： d_1 、 (mm) 、

又、一般に $1GHz$ 程度以上の高周波で使用されるコイルはほとんど空芯である事からしても、磁性体をコイル内に設けた場合、使用する周波数が高いほど高周波損失が大きくなり、その結果として Q 特性が悪くなる為高周波コイルとしてはあまり適さないといった問題がある。

そこで本発明は、小型化を達成しつつ、所望のインダクタ素子が得られて寄生容量も小さくて高周波でも性能のよいインダクタ素子となる半導体集積回路を提供することを目的としている。

〔課題を解決するための手段〕

本発明による半導体集積回路は上記目的達成のため、半導体基板上に、所定幅を有する複数の配線を互いに逆方向に巻回するとともに、これらの配線を巻回方向に対して多層状に配置し、かつ各配線同士の接続はスパイラルの中心で行い、さらに各配線はその上下層を互い違いに配置し、該上下層の電流方向が同一となるインダクタ素子を形成している。

〔作用〕

本発明では、各多層配線の上下層間の電流方向が同一となり、これにより、その上下層間に自己誘導作用が生じて高インダクタンスが得られ、また、各上下層が互い違いに配線されることで、配線の重なりが小さくなって寄生容量が低減する。

したがって、IC基板上で小型化を達成しつつ、従来のIC製造技術のみを使って高周波で性能の良いインダクタ素子が形成できる。

〔原理説明〕

第1、2図は本発明の原理を説明する図である。第1図において、11は半導体基板で、例えばP形あるいはN形の基板が用いられ、これはICを形成するときと同じものである。12は導電性の物質からなる第1の配線、13は同じく第2の配線であり、例えば幅が1 (μ m) である。第1の配線12および第2の配線13は互いに逆方向にスパイラル状に巻回され、この例では第1の配線12は右回りに、第2の配線13は左回りに巻回される。

減する。したがって、従来例に比して短い電流経路で効率がよく、かつ超小型の性能のよいスパイラルコイルを実現することができる。

〔実施例〕

次に、上記原理に基づく本発明の一実施例について第3、4図を参照して説明する。第3図はスパイラルコイル20の平面図であり、この図において、21は第1の配線、22は第2の配線、23はコンタクト部、21a、22aは電極である。第1の配線21および第2の配線22は図示は略しているが、IC基板上に互いに逆方向に方形状に巻回されて多層（この場合は2層）に形成され、相互の重なりが少なくなるように配置されている。また、方形にループ（スパイラル）された各配線21、22の四角は完全な直角ではなく、角を取るような形状に形成されている。なお、スパイラルコイル20の大きさは図示のように $l_1 = 200 \mu\text{m}$ 、 $l_2 = 300 \mu\text{m}$ 程度であり、IC基板上において十分に集積化できるものである。

第1の配線12および第2の配線13はその断面を第2図に示すように、巻回方向に対して多層状に（この例では2層状に）配置され、その間には絶縁層（例えば、 SiO_2 ）14が形成されて絶縁を保っている。また、第1の配線12および第2の配線13同士の接続はスパイラルの中心部で行われ、この部分がコンタクト部15になっている。さらに、第1の配線12および第2の配線13はその上下方向の重なりが互い違いになるように配置され、所定の距離が保たれている。第1の配線12および第2の配線13の各端部は電流が供給される電極12a、13aとなっている。

以上の構成において、電極12a、13aの間に電圧を供給すると、第1の配線12および第2の配線13の何れも第1図中平面方向の電流経路は同一方向となる。このため、いわゆる上下層間に自己誘導作用を生じて高いインダクタンスが得られ、所望のインダクタンスを得るのが容易となる。また、第1の配線12および第2の配線13が互い違いに配置されて重なりがないため、寄生容量も格段と低

減する。以上の構成によるスパイラルコイル20について、その作動特性を調べた結果、測定周波数500 MHzにおいて約100 nHのインダクタンス（Q特性は約3）を得た。このように、このスパイラルコイル20は多層による自己誘導作用と、かつ互い違いに配線したことによる寄生容量の低減により、超小型でありながら約100 nHという大きなインダクタンスを得ており、さらに、自己共振周波数も0.8 GHzと高く、高周波にも使用できるものとなっている。また、このスパイラルコイル20では四角に90°の直角のコーナ（エルボ）を避けて45°の処理を行うことで、この部分の電流集中を極力減らしてQ特性が向上している。なお、45°の処理に限らず、例えば曲線や鈍角を用いてもよい。

第4図は第3図の構成によるスパイラルコイル20を適用した高周波回路の一例を示す図である。図中20a～20cにスパイラルコイルが使用され、これらは高周波信号の伝達を抑える素子としての機能を有している。また、 C_1 、 C_2 はコンデンサ、 T_1 は高周波増幅を行うトランジスタである。

この例においてもモノリシックICに内蔵し、増幅回路の小型化に大きく寄与している。

なお、上述の実施例では本発明を高周波増幅回路に使用しているが、すべての集積回路内に形成し、使用することが可能である。

また、2層配線だけでなく、3層、4層等の多層でも同一形状でスパイラルコイルを形成できる。

(発明の効果)

本発明によれば、小型化を達成しつつ、所望のインダクタンスが得られて寄生容量も小さくて高周波で性能の良いインダクタ素子を実現することができる。

4. 図面の簡単な説明

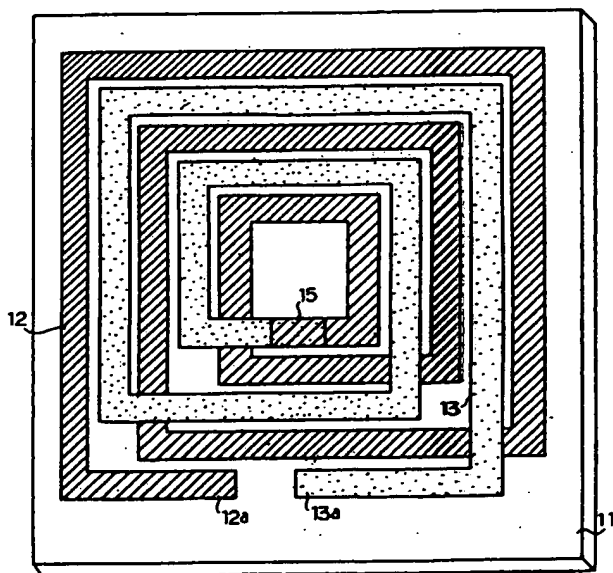
第1、2図は本発明の原理を説明する図であり、第1図はそのスパイラルコイルの構成を示す図、第2図はそのスパイラルコイルの断面を示す図、第3、4図は本発明に係る半導体集積回路の一実施例を示す図であり、

第3図はそのスパイラルコイルの構成を示す図、第4図はそのスパイラルコイルを適用した高周波増幅回路の回路図、

第5図は従来のスパイラルコイルの構成を示す図である。

- 11……半導体基板、
- 12、21……第1の配線、
- 13、22……第2の配線、
- 12a、13a、21a、22a……電極、
- 14……絶縁層、
- 15、23……コンタクト部、
- 20、20a～20c……スパイラルコイル。

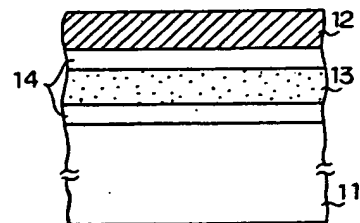
代理人 弁理士 井 桁 貞



- 11: 半導体基板
- 12: 第1の配線
- 13: 第2の配線
- 12a、13a: 電極
- 15: コンタクト部

本発明の原理を説明するスパイラルコイルの構成を示す図

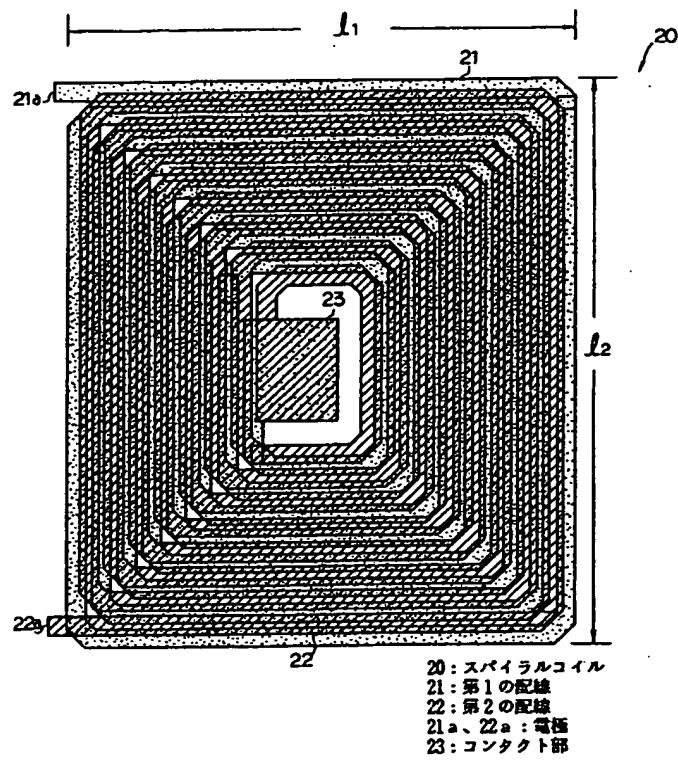
第1図



14: 絶縁層

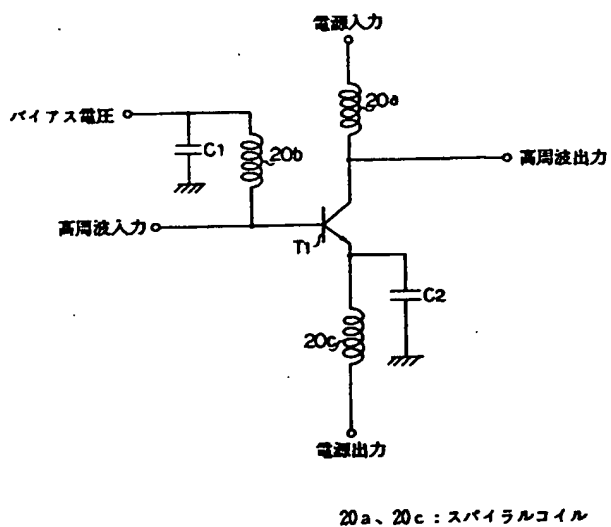
本発明の原理を説明するスパイラルコイルの断面を示す図

第2図



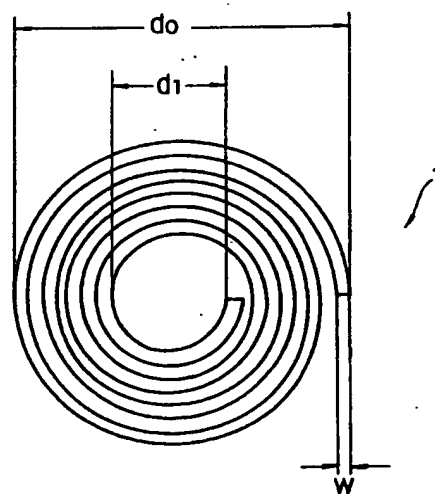
一実施例のスパイラルコイルの構成を示す図

第 3 図



一実施例のスパイラルコイルを適用した高周波増幅回路の回路図

第 4 図



従来のスパイラルコイルの構成を示す図

第 5 図